

1/3/5 (Item 5 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

008129487 **Image available**

WPI Acc No: 1990-016488/199003

XRPX Acc No: N90-012646

Low driving voltage operation logic circuit - includes master-slave flip-flop that is combination of differential circuit transistor circuit and latch transistor circuit

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: OGAWA A

Number of Countries: 006 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 351166	A	19900117	EP 89306979	A	19890710	199003 B
JP 2021717	A	19900124	JP 88172263	A	19880711	199010
US 4977335	A	19901211	US 89375615	A	19890705	199101
KR 9209204	B1	19921014	KR 899824	A	19890711	199412
EP 351166	B1	19941123	EP 89306979	A	19890710	199445
DE 68919447	E	19950105	DE 619447	A	19890710	199506
			EP 89306979	A	19890710	

Priority Applications (No Type Date): JP 88172263 A 19880711

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 351166 A E 15

Designated States (Regional): DE FR GB

EP 351166 B1 E 17 H03K-003/288

Designated States (Regional): DE FR GB

DE 68919447 E H03K-003/288 Based on patent EP 351166

KR 9209204 B1 H03K-019/00

BEST AVAILABLE COPY

Spec

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-021717
 (43)Date of publication of application : 24.01.1990

(51)Int.CI. H03K 3/289
 H03K 19/086

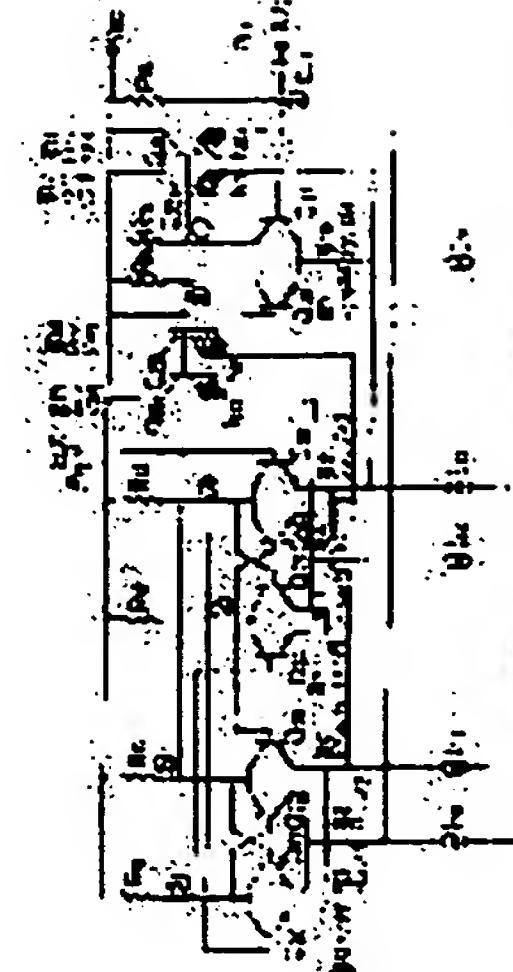
(21)Application number : 63-172263 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 11.07.1988 (72)Inventor : OGAWA ATSUSHI

(54) LOW VOLTAGE DRIVING TYPE LOGIC CIRCUIT

(57)Abstract:

PURPOSE: To ensure the on/off operation even if the voltage of a voltage source is low by applying the on/off operation control to a combined circuit comprising a difference stage applying master-slave operation and a latch means by means of an input stage transistor(TR) whose emitter area is made wider than those of the circuit.

CONSTITUTION: TRs Q31 is turned off and a TR Q30 is turned on which a signal (g) at an L level. With the signal (g) at an L level, a signal (e) goes to an L level and a signal (f) goes to an H level. With the signal (f) at an H level, TRs Q33, Q32 are both turned on. Since the emitter area ratio of the TRs Q33, Q32 is selected sufficiently larger than that of TRs Q21, Q22 and Q24, Q27, a current from current sources I10, I13 is almost a current from the TRs Q33, Q32 to almost cut off the TRs Q21, Q22. Thus, the low voltage drive logic circuit operated at a very low voltage, such as the voltage of a conventional battery decrease through consumption is obtained.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

平2-21717

⑫Int.CI.

H 03 K 3/289
19/086

主別記号

厅内整理番号

A

8626-5 J
8326-5 J

⑬公開 平成2年(1990)1月24日

審査請求 未請求 請求項の数 2 (全10頁)

⑭発明の名称 低電圧駆動形論理回路

⑮特 願 昭63-172263

⑯出 願 昭63(1988)7月11日

⑰発明者 小川 政 神奈川県横浜市磯子区新磯子町33 株式会社東芝横浜事業所
所磯子工場内

⑱出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑲代理人 弁理士伊藤 道

明 確 四

1. 発明の名称

低電圧駆動形論理回路

2. 特許請求の範囲

(1) エミッタを共通接続すると共に、それぞれベース及びコレクタを互いのコレクタ及びベースに接続したラッチ動作用の第1. 第2トランクスタ及び第3. 第4トランクスタと、

第2第1. 第2トランクスタのコレクタにそれぞれコレクタを接続し、第2第3. 第4トランクスタのコレクタからの信号をベースに入力して反転動作する第5. 第6出力用トランクスタと、

第2第3. 第4トランクスタのコレクタにそれぞれコレクタを接続し、第2第1. 第2トランクスタのコレクタからの信号をベースに入力して反転動作する第7. 第8出力用トランクスタと、

入力信号によって反転動作する第9. 第10入力用トランクスタと、

第2第1. 第2トランクスタ及び第7. 第8ト

ランクスタよりもエミッタ面積が大きく、第2第10トランクスタのコレクタからの信号をベースよりエミッタに導出して第2第1. 第2及び第7. 第8トランクスタと各共通の電気線に供給する第11. 第12トランクスタと、

第2第3. 第4トランクスタ及び第5. 第6トランクスタよりもエミッタ面積が大きく、第2第9トランクスタのコレクタからの信号をベースよりエミッタに導出して第2第3. 第4及び第5. 第6トランクスタと各共通の電気線に供給する第13. 第14トランクスタとを具備したことを特徴とする低電圧駆動形論理回路。

(2) 第2第1. 第5トランクスタのコレクタは逆接続と電圧端子及び、第2. 第6トランクスタのコレクタは逆接続と電圧端子にそれぞれ異なる第1. 第2の開端部の各電圧端子との起電圧端との間に、これらの負荷抵抗とそれぞれ別の回路をもつて接続した第1のレベルシフト回路と、

Q20とQ3. Q7トランクスのコレクタ部は基板と電圧回路及び、Q3. Q8トランクスのコレクタ部は基板と電圧回路にそれぞれ並んでQ3. Q4は各回路の各電圧回路と同様の基板をもつて構成したQ2のレベルシフト回路とを有することを特徴とする請求項1に記載の電圧回路構造回路。

3. 説明の詳細な説明

(説明の目的)

(直線上の利用分野)

この説明はバイポーラ技術回路にて構成するマスタースレーブ型フリップフロップ回路の改良に係り、特に、低電圧段による駆動による低電圧回路構造回路に関する。

(説明の技術)

バイポーラトランクスによる駆動の構造回路を第7図に示す。

第7図において、同図中、端子P1にハイレベルとロウクレベルとに変化する入力信号が入る。こ

それトランクスQ6とQ11のベース端子及びQ5とQ12のベース端子を共通に接続してある。そして、トランクスQ5. Q6は、トランクスQ2. Q3とQ1. Q4を並列内に接続し、トランクスQ11. Q12はそれぞれトランクスQ8. Q9とQ7. Q10を差動的に接続している。

上記元素Q15は、トランクスQ6とQ11のベース共通端子にも接続し、これらトランクスQ6. Q11のベースに、入力信号によるづく信号を供給する。また、端子Q13はトランクスQ5とQ12のベース共通端子にも接続し、これらトランクスQ5. Q12のベースに、入力信号によづく信号を供給する。

また、トランクスQ2とQ1のコレクタ端子、トランクスQ3とQ4のコレクタ端子及び、トランクスQ7とQ8のコレクタ端子、トランクスQ9とQ10のコレクタ端子は、それぞれ共通に接続してある。そして、トランクスQ1とQ2のコレクタ共通端子は負荷抵抗R1を介して電圧Vccに接続し、トランクスQ3とQ4の

の入力信号は、コンデンサC1を介してトランクスQ14とQ15の共通端子を経てトランクスQ13のベースに入力している。トランクスQ13のベースと電圧Vccとの間に負荷抵抗R1が接続してある。

トランクスQ14. Q15は、それぞれコレクタと電圧Vccとの間に負荷抵抗R3. R6を接続し、エミッタ共通端子を経てR1を介して共通端子に接続する。そして、これらのコレクタからの信号は、それぞれトランクスQ13. Q16のベースよりエミッタに取出し、それぞれQ13. Q16に送れる。

一方、トランクスQ1～Q6及びQ7～Q12は、ダブルバランス形の差動回路回路によるマスター-スレーブフリップフロップを構成しており、分離すると、トランクスQ1. Q4とQ7. Q10は各上段の差動回路を成し、トランクスQ2. Q3とQ8. Q9はコレクタベース端子をいかなるたゞき受け隔離した形を成している。また、下段のトランクスQ5. Q6とQ11. Q12は、それ

コレクタ共通端子と負荷抵抗R2を介して共通端子Vccに接続し、トランクスQ7とQ8のコレクタ共通端子は、負荷抵抗R3を介して共通端子Vccに接続し、トランクスQ9とQ10のコレクタ共通端子は、負荷抵抗R1を介して共通端子Vccに接続している。

この回路の一つの出力は、トランクスQ1とQ4のコレクタ共通端子をトランクスQ10のベースに接続して端子P2に出している。又、トランクスQ1のベースはトランクスQ9とQ10のコレクタ共通端子に、トランクスQ1のベースはQ7とQ8のコレクタ共通端子に、トランクスQ7のベースはQ1とQ2のコレクタ共通端子に接続してある。

次に上記回路の動作を説明する。

次に、第7図の回路の動作を示している。

入力信号	I	II	III	IV
出力信号	L	L	H	H
スイッチ信号	H	H	L	L
スイッチ信号	L	H	L	H

第1表

上部において、①はトランクスタQ13のベースに取れる（入力）信号を示し、②、③、④、⑤はそれぞれ、トランクスタQ1、Q2のコレクタ部出力信号、⑥、⑦、⑧のコレクタ部出力信号及びQ9、Q10のコレクタ部出力信号にて取れる出力信号を、⑨、⑩はそれぞれQ11、Q15のコレクタに取れる信号を示している。また、Hはハイレベル、Lはローレベルを意味し、例えば信号④については、基板R1に表示が現れないとさをH、基板R1に表示が現れるとさをLとする。

信号④は、最初LレベルからH-Lと変化し、その後のLレベルのとき、トランクスタQ8はオン、Q9がオフし、信号⑥はLレベル、信号⑦はHレベルであるとする。このように反転すると、トランクスタQ1、Q1の状態は信号としての性質によって、信号⑥はLレベル、信号⑦はHレベルとなる。このとき、トランクスタQ15がオフ（Q14オン）して信号⑧がHレベルとなり、このHレベルがそのままトランクスタQ16のエミッタに取

れるので、トランクスタQ11、Q6はオンし、Q12、Q5はオフしている。又て、Iの状態のときの状態は、基板R1-Q1-Q6-11と、基板R1-Q8-Q11-12となる。

次に信号④がHレベルに変わると、トランクスタQ11とQ13の状態が反転し、信号⑥がLレベル、信号⑦はHレベルに変化する。これにより、トランクスタQ5、Q6とQ11、Q12も状態が反転し、トランクスタQ2、Q3がIのときの状態とトランクスタQ1、Q4の状態をラッテする。これに対して、トランクスタQ8、Q9は両方ともオフするので、下段送信部の反応回路には当する上段送信部トランクスタQ7、Q10のうちQ10がオンする。信号⑧、Jの状態のとき、基板R1-Q2-Q5-11と、R4-Q10-Q12-12とされて、信号⑥と⑦が反転し、信号⑧と⑨は反転しない。信号⑨が再びLレベルとなるまでの状態では、トランクスタQ16がオフ、Q15がオンとなる。これより、信号⑥がLレベル、信号⑦がHレベルを呈し、送信部トランクスタQ5、Q6とQ11、Q12

がJの状態から反転動作する。これによって、トランクスタQ8、Q9は、送信部トランクスタQ1、Q10の状態をラッテしてQ9がオンし、下段送信部Q5、Q6に応じる上段送信部トランクスタQ1、Q4のうちQ4がオンする。又て、Jの状態の時は、R2-Q4-Q6-11と、R4-Q9-Q11-12の状態を呈すが故に、信号⑥と⑦は反転せず、信号⑧と⑨が反転する。

又に、Nの状態では、信号④が再びHレベルに復帰するので、信号⑥がHレベル、信号⑦がLレベルとなる。これにより、送信部トランクスタQ5、Q6とQ11、Q12がJの状態から反転動作し、トランクスタQ2、Q3が、送信部トランクスタQ1、Q4の状態をラッテしてQ3がオンし、下段送信部Q11、Q12に応じる上段送信部Q1、Q10のうちQ7がオンする。又て、Nの状態で、R2-Q3-Q5-11と、R3-Q7-Q12-12とには複数が現れ、信号⑥と⑦は反転し、信号⑧と⑨は反転しない。

第7回の回路は上記のような動作により、入力

Jを2種の1次回路マスター・スレーブ・フリップフロップ回路の働きをしている。

ところで、近頃、リモコンハンドセレット、ICカード等のように、電子のせばが1本の電子回路が組みされている。電子は、一般に、操作すると、0.9[V]程度まで電圧が下がるので、このような低い電圧でも正確にマスター・スレーブ動作する回路の実現が求められている。

しかしながら、第7回に示す電子の回路は、送信部と受信部回路との間に、例えばトランクスタQ13のベース・エミッタ結合と、トランクスタQ12のベース・エミッタ結合との組合結合、ヨコトランクスタQ9とQ11とによるベース・エミッタ結合の組合結合、トランクスタのオンオフ動作に由来する各々のベース・エミッタ部電圧V1が2回となる回路がある。このような、ベース・エミッタ結合の組合結合、電圧V1と電圧V2との間に存在する実際回路では、バイアス電圧を適切に設定しても、ヨコベース・エミッタ部電圧の2倍の電圧である1.6[V]以下では動作しない。

(凡例が解りしようとする理由)

上記したように、又のハイブリッドトランクスタによる電圧回路では、元正電とヒサモ電とのベース・エミッタ結合部が存在するので、この場合の出力電圧V_{CC}の±2Vの電圧を出力する場所でないと動作しないという問題があった。

この凡例は上記回路を示し、実際に無い電圧、例えば過電圧の場合は操作して低下した場合でも動作する電圧範囲を示す回路の変更を示す。

〔凡例の説明〕

(回路を解説するための手段)

この凡例は各部構成トランクスタ回路と、この凡例にトランクスタ回路の動作状態を記述するラッチ用トランクスタ回路との組合せによるマスタースレーブフリップフロップ回路を設けると共に、これらトランクスタ回路の基準電位と電位を共存し、かつこれらの基準子よりエミッタ回路が大きな入力用トランクスタ回路を設け、

入力回路を多く入力電子であり、C11は回路P11からの出力を(第9)トランクスタQ30と基準回路を経て(第10)トランクスタQ31のベースに接続している。トランクスタQ31は、ベースと電圧V_{CC}との間に抵抗R16を接続し、エミッタはトランクスタQ30と共に接続し、その共通端子を経由R11を介して基準回路に接続し、コレクタは共通端子R13を介して電圧V_{CC}に接続している。トランクスタQ30は、ベースは共通電圧V_{CC}に接続し、コレクタは共通端子R14を介して電圧V_{CC}に接続している。

一方、Q20～Q23及びQ24～Q27から成るマスター・スレーブフリップフロップ回路は、(第1)トランクスタQ21及び(第2)トランクスタQ22の点と、(第3)トランクスタQ23及び(第4)トランクスタQ26の点によって、それぞれラッチ回路を構成している。即ちトランクスタQ21、Q22及びQ23、Q26の各エミッタ端子は、それぞれ共通に接続すると共に、トランクスタQ21のベース、及びコレクタは、それぞれトランクスタQ

22のコレクタ及びベースに接続し、トランクスタQ23のベース及びコレクタは、トランクスタQ26のコレクタ及びベースに接続している。

(作用)

このような構成によれば、マスタースレーブ動作を行うを基底とラッチ回路との組合せ回路を、エミッタ回路をこれらより広くした入力用トランクスタによって、インオフ動作を行なう。この場合、既定入力用トランクスタのエミッタ遮断が大きいことで、過電圧がたがれい場合でも、上記のオンオフ動作を確実に行なわれることがで、このオンオフ動作を行なわせるために、ラッチ回路と基底回路の下部にオペアンプを並べることなくなる。こうして、ベース・エミッタ結合の直列結合の存在しない回路を構成することができます。

(実験回)

以下、この凡例の一実験回を、回路を多段して説明する。

第1回はこの凡例に従る電圧回路を示す回路図である。回路中、P11に

22のコレクタ及びベースに接続し、トランクスタQ23のベース及びコレクタは、トランクスタQ26のコレクタ及びベースに接続している。

また、(第5)トランクスタQ20と(第6)トランクスタQ23及び(第7)トランクスタQ24と(第8)トランクスタQ27とは、各々共通端子を接続し、各エミッタをそれぞれ共通の電圧V11及びV13を介して各共通端子に接続している。又、上記トランクスタQ21、Q22及びQ23、Q26のコレクタ端子は共通し、それぞれV10、V12を介して各共通端子に接続している。

更に、トランクスタQ20とQ21はコレクタ端子共通に接続し、その共通端子を、(第1)の共通端子R10を介して電圧V_{CC}に接続している。又、トランクスタQ22とQ23はコレクタ端子共通に接続し、その共通端子は(第2)の共通端子R11を介して電圧V_{CC}に接続している。又に、トランクスタQ24とQ25、Q26とQ27のコレクタ端子もそれぞれ共通に接続し、これらの共通端子は、それぞれ(第3)の共通端子R12、(第4)の共通

R13を介して直通VCCに接続してある。

そして、トランクスクリンQ20～Q23の回路と、Q24～Q27の回路に、トランクスクリンQ20とQ21とのコレクタ共通端子をトランクスクリンQ24のベースに接続し、トランクスクリンQ22とQ23のコレクタ共通端子をトランクスクリンQ27のベースに接続し、トランクスクリンQ24とQ25のコレクタ共通端子をトランクスクリンQ23のベースに接続し、トランクスクリンQ26とQ27のコレクタ共通端子をトランクスクリンQ20のベースに接続してある。

しかし、上記トランクスクリンQ31のコレクタは、(第11)トランクスクリンQ33及び(第12)トランクスクリンQ32のベースに接続し、トランクスクリンQ30のコレクタは、(第13)トランクスクリンQ28、(第14)トランクスクリンQ29のベースに接続している。そして、トランクスクリンQ33は、トランクスクリンQ21、Q22の端子R110を共有している。また、トランクスクリンQ29はトランクスクリンQ20、Q23の端子R111を共有している。同時に、トランクスクリンQ28はトランクスクリンQ25、Q26の端子R112を共

とし、R113はLレベル、R114はHレベルにある。R113がHレベルであると、トランクスクリンQ33、Q32がONにON動作する。ここで、トランクスクリンQ33、Q32のエミッタ電極比は、トランクスクリンQ21、Q22及びQ24、Q27より十分大きくしてあるので、R110、R113によるR114は、ほとんどトランクスクリンQ33、Q32からのR114を出す。例えば、トランクスクリンQ33のエミッタサイズをQ21、Q22に対して10倍とすると、R110のR113の10/11はトランクスクリンQ33を反れることになり、トランクスクリンQ21、Q22をほとんどカットオフ状態にする。

このため、R113R114のときは、トランクスクリンQ21、Q22及びQ24、Q27をそれぞれOFF動作させることができるので、同時に、動作状態のときは、R110、R111、R112がONになる。反対に、R113がHレベルになると、トランクスクリンQ28、Q29がONし、トランクスクリンQ32、Q33がOFFする。トランクスクリンQ28、Q29のエミッタ電極比は、トランクスクリンQ25、Q26及びQ20、Q

27の端子R113を共有している。

ここに、トランクスクリンQ28はトランクスクリンQ25、Q26にエミッタ電極比がN1:1、トランクスクリンQ29はQ20、Q23にエミッタ電極比がN2:1、トランクスクリンQ32はQ24、Q27にエミッタ電極比がN3:1、トランクスクリンQ33はQ21、Q22にエミッタ電極比がN4:1に設定し、各N1～N4はすべて>1を満足するように設定する。

且、この回路の1つの出力は、トランクスクリンQ22、Q23のコレクタ共通端子に用れる端子を用い、出力端子P1により送出している。

-この発明による-実施例の回路は上記のことく構成され、次に動作を説明する。且、第7回の回路の各部におけるR113に付したR113は、本回路の場合も同様の符号が用るので同じ符号を用いる。

まず、トランクスクリンQ33、Q31は、R113がLのとき、トランクスクリンQ31がONし、トランクスクリンQ33がOFFする。反対に、R113がHレベルの

23より十分大きさであるので、R113R112、R111によるR114は、ほとんどトランクスクリンQ28、Q29からのR114を出す。このため、動作状態のときは、トランクスクリンQ25、Q26及びQ20、Q23をそれぞれOFF動作させることができるので、同時に、動作状態R113のときも、上記Q20、Q23、Q25、Q26がOFF状態になる。

以下、各動作状態に分けて説明する。且、第2回に示すように、入力信号としてR113に示すような信号が入力すると、R113R112、R111R110、R110R113に示すような位相で動作するものとする。

動作状態I

この場合は、上述したことく、トランクスクリンQ21、Q22と、Q24、Q27を基準内にONさせると、ここで、第7回と同様に、石英振入端子において、R113がHレベルのとき、トランクスクリンQ25がONと設定すると、トランクスクリンQ20、Q23の基準端子としてのR113によって、トランクスクリンQ20がONし、トランクスクリンQ23がOFFする。これにより、R110-R20-R111成るR113と

R12-Q25-I 12次の動作が実現される。即ち、動作Iのときは、信号QはLレベル、信号Q'はHレベル、信号Q''はLレベル、信号Q'''はHレベルとなる。

動作状態II

この場合は、上述したエミッタ遮断によって、トランクスタQ25、Q26と、Q20、Q23をオフとする。ここで、動作Iのときは、トランクスタQ20がオン、Q23がオフしていたので、トランクスタQ21がオン、トランクスタQ22がオフする(ラッチ動作)。これにより、信号QはLレベルを抜け、信号Q'がHレベルを経ける。トランクスタQ24は信号QのLレベルによってオフ動作し、トランクスタQ27は信号QのHレベルによってオン動作する。これにより、信号QはHレベルに変化し、信号Q'はLレベルに変化することになる。即ち、元動作は、R10-Q21-I 10と、R13-Q27-I 13となる。

動作状態III

この場合は、及び、トランクスタQ32、Q33が

れる。また、信号QによるHレベルによってトランクスタQ24がオンし、信号Q'によるLレベルによってトランクスタQ27がオフするので、信号QはLレベルに変わり、信号Q'はHレベルに変る。即ち、元動作は、R11-Q22-I 10と、R12-Q24-I 13となる。

次長は、トランクスタQ20～トランクスタQ27の動作を観察したものである。

	I	II	III	IV
トランクスタQ21	OFF	ON	OFF	OFF
トランクスタQ22	OFF	OFF	OFF	ON
トランクスタQ23	ON	OFF	OFF	OFF
トランクスタQ26	OFF	OFF	ON	OFF
トランクスタQ20	ON	OFF	OFF	OFF
トランクスタQ23	OFF	OFF	ON	OFF
トランクスタQ24	OFF	OFF	OFF	ON
トランクスタQ27	OFF	ON	OFF	OFF

第2表

又上のように、本回路は第7回の回路と同じマスター・スレーブ・フリップフロップ動作を行うこと

オンすることによって、I 13、I 10の電圧がトランクスタQ32、Q33を経、トランクスタQ21、Q22と、Q24、Q27がオフする。トランクスタQ25、Q26は、トランクスタQ24、Q27の動作IIIにおける状態をラッチするので、トランクスタQ26がオンし、トランクスタQ25がオフする。これにより信号QはHレベルを抜け、信号Q'はLレベルを経ける。また、信号QによるHレベルによってトランクスタQ23がオンし、信号Q'のLレベルによって、トランクスタQ20がオフする。これによって、信号QはHレベルに変わり、信号Q'はLレベルに変る。

即ち、元動作は、R11-Q23-I 11と、R13-Q26-I 12となる。

動作状態IV

この場合は、トランクスタQ25、Q26とQ20、Q23がオフする。動作IIIにおいて、トランクスタQ23がオンしていたので、トランクスタQ22がオンし、トランクスタQ21がオフする。これにより、信号QはHレベルを抜け、信号Q'はLレベルを経

る。しかし、第7回と比べると、電圧Vcc及び半導体との間に、ベース・エミッタ結合の直列結合が存在しないので、電圧Vccとして、初めて低い電圧でも、大きなフリップフロップ動作を行うことができる。

第3回は電圧Vccが1.0[V]のときの入力と出力の1つである信号Qを比較して示すが、入力信号に相当する信号Qに相当する信号Q'のレベルがフリップフロップノードの開閉ごとに反対しており、分段動作をしていることが見えてくる。また、第4回はVccを0.9[V]に低下したときの同じ信号を示すが、約1.0[V]のときとはその性質が引かれている。

又、他の実験例を説明する。

又、第5回はエミッタ遮断を広くしたトランクスタによる動作を観察にするため、ラッチ段と直列段の結合したマスター・スレーブ・フリップフロップ回路(トランクスタQ20～Q27に相当する回路)の電圧電圧を、トランクスタQ30、Q31による入力電圧より低めるようにしたものである。

図5図において、トランクスタQ40～Q47、または
I10～I13及びR10～R13による回路において、
Q20～Q27、I10～I13及びR10～R13による回路に對応し、
Q48～Q53、I24及びR24～R26から成る回
路は、図1図のO28～Q33、I34及びR14～
R16による回路に對応している。

そして、電圧Vccは、抵抗R1を介してそれ
ぞれ抵抗R20、R21の共通端及上に接続し、抵抗
R6を介して抵抗R22とR23の共通端及上に接続
している。

このように、トランクスタQ40～Q47の回路、
の動作速度を下げるにより、エミッタ側を
大きくしたトランクスタQ48、Q49、Q52、Q53
の動作速度が、図1図の実施例の場合より多くな
り、トランクスタQ48、Q49がオンしたときのト
ランクスタQ45、Q46とQ40、Q43のオフ動作並
びに、トランクスタQ52、53がオンしたときの、
トランクスタQ44、Q47とQ41、Q42のオフ動作
を実現する。

N3 & UN2 > N1 することによって、フリッ
ップ動作をより確実にすることができる。
また、各回路域でも安定な動作を行うことが確
保された。

[見明の発明]

以上説明したようにこの発明によれば、電圧
で正確なフリッップ動作を行なうという特徴
がある。

4. 回路の回路図

図1図はこの発明にかかる組成並びに動作
回路の一式を示す回路図、図2図、図3図及
び図4図はこの発明の動作を説明するための組
成及び動作図、図5図はこの発明の他の実施例を
示す回路図、図6図はこの発明の更に他の実施例
を示す回路図、図7図は組成の構成図を示す回
路図である。

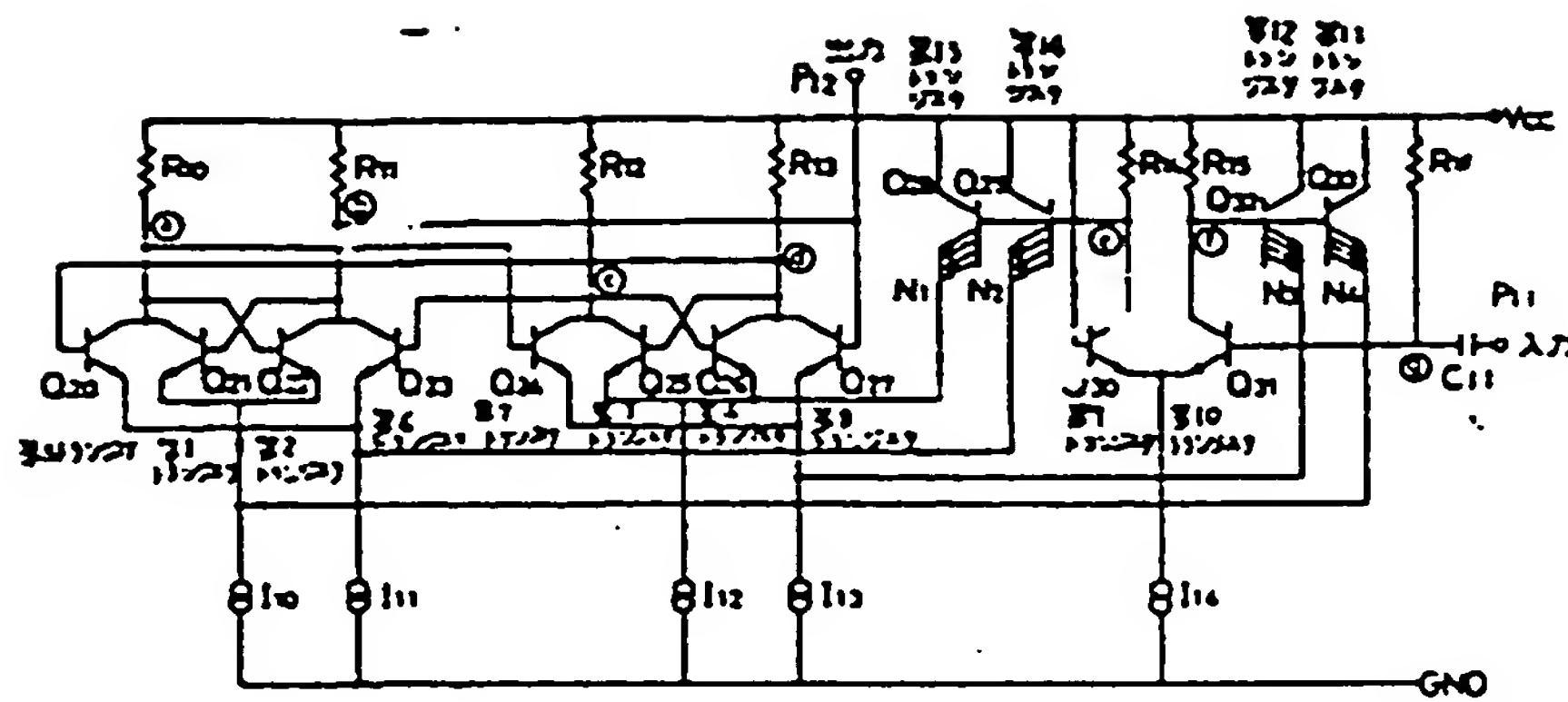
Q20～Q27～図1～図8トランクスタ、Q28、
Q29、Q32、Q33～図11～図14トランクスタ、
Q30、Q31～図9、図10トランクスタ、R10～
R13～図8抵抗、I10～I14～電流計、④～入力

又に、図6図はDフリッップ動作として使用
できるように、必要な電子を構成したのものであ
り、内部回路構成は図1図と同じ回路を用いてい
る。そして、トランクスタQ20、21のコレクタ側
端子よりO端子を引き出し、トランクスタQ
22、Q23のコレクタ側端子よりO端子を引き
出し、トランクスタQ24のベースよりD入力端子
を引き出し、トランクスタQ27のベースよりO端
子を引き出している。これにより、図1図ではト
ランクスタQ24のベースとトランクスタQ20、Q
21のコレクタ共通端子とが接続されていたが、E
子Dを引き出したために切断してある。又に、
トランクスタQ27とQ22、Q23の間隔も、ベース
とコレクタ共通端子と接続を切り替してある。ま
た、入力端子P11にはクロック信号を加える。

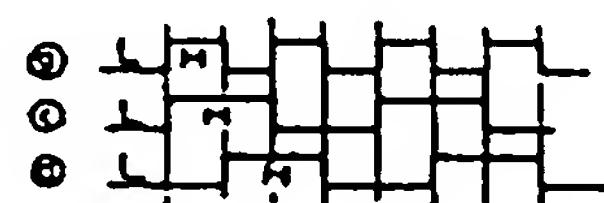
又、図1図の実施例において、トランクスタQ
32のエミッタサイズN3をトランクスタQ28のエ
ミッタサイズN1よりも大きく、また、トランク
スタQ29のエミッタサイズN2をトランクスタQ
33のエミッタサイズN4よりも大きく、図5、N1 <

図8、④、⑥、⑧、⑩—出力端子。

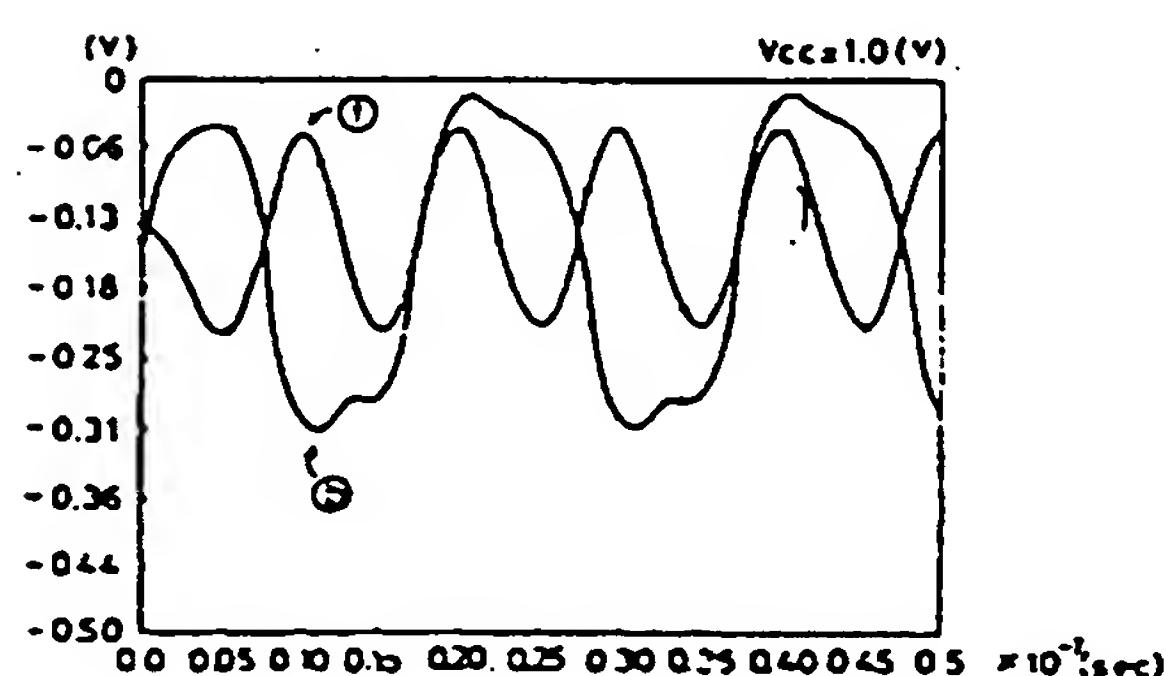
) 代理人 岸良士 ㊞



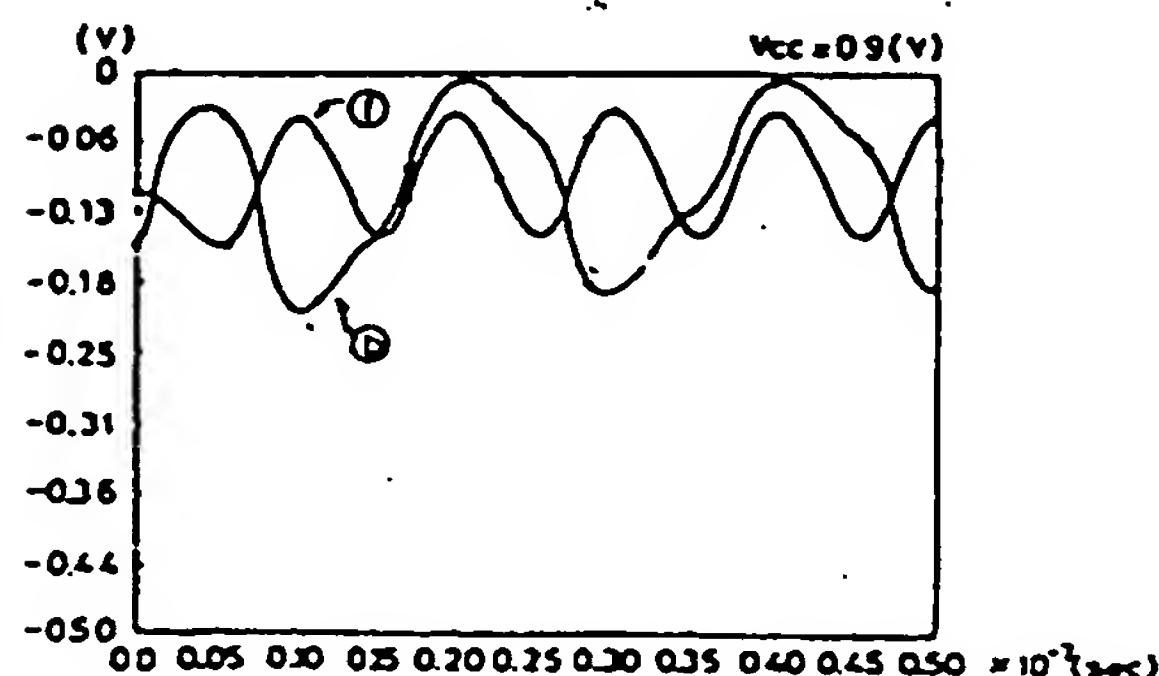
第1図



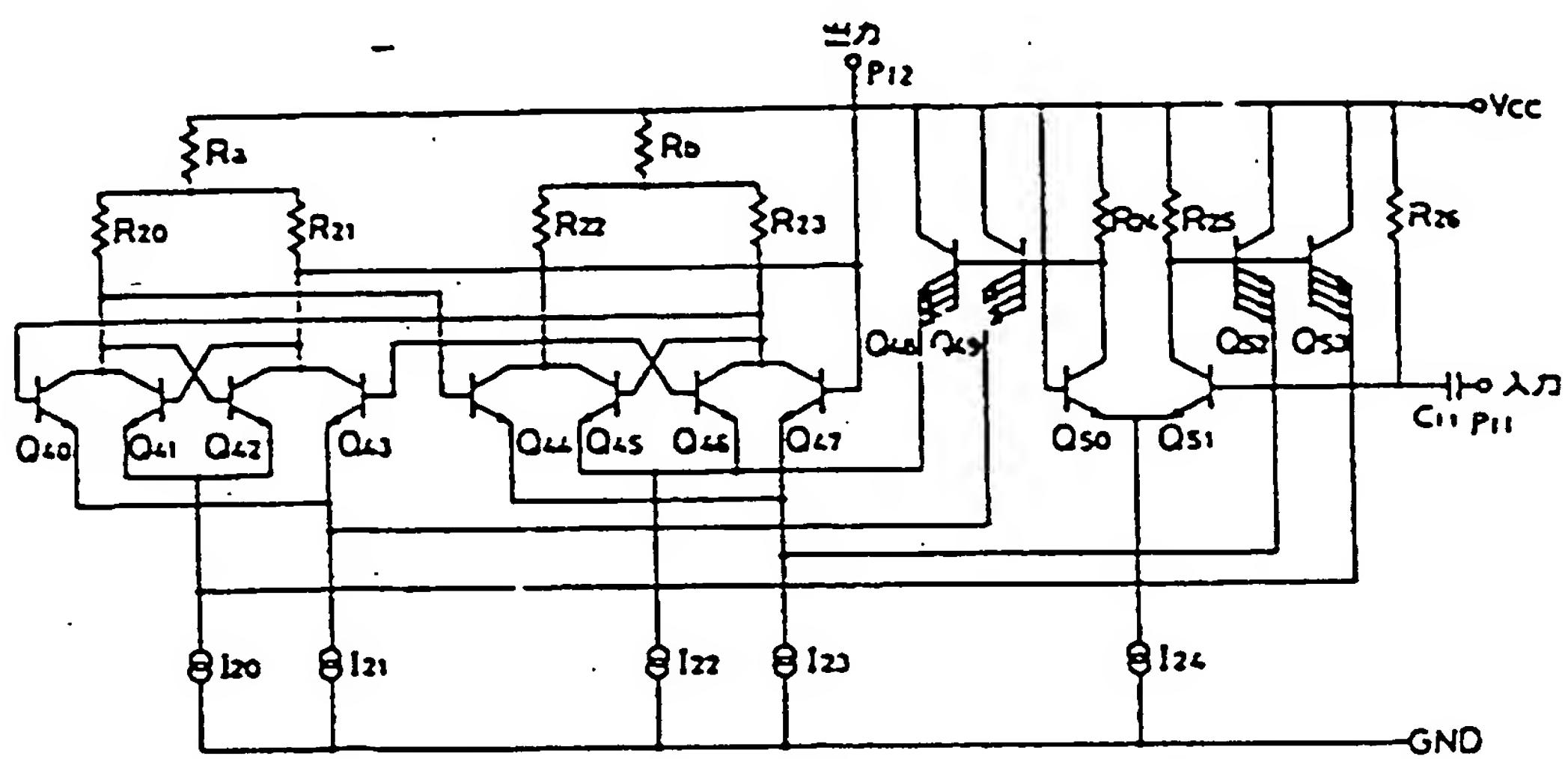
第2図



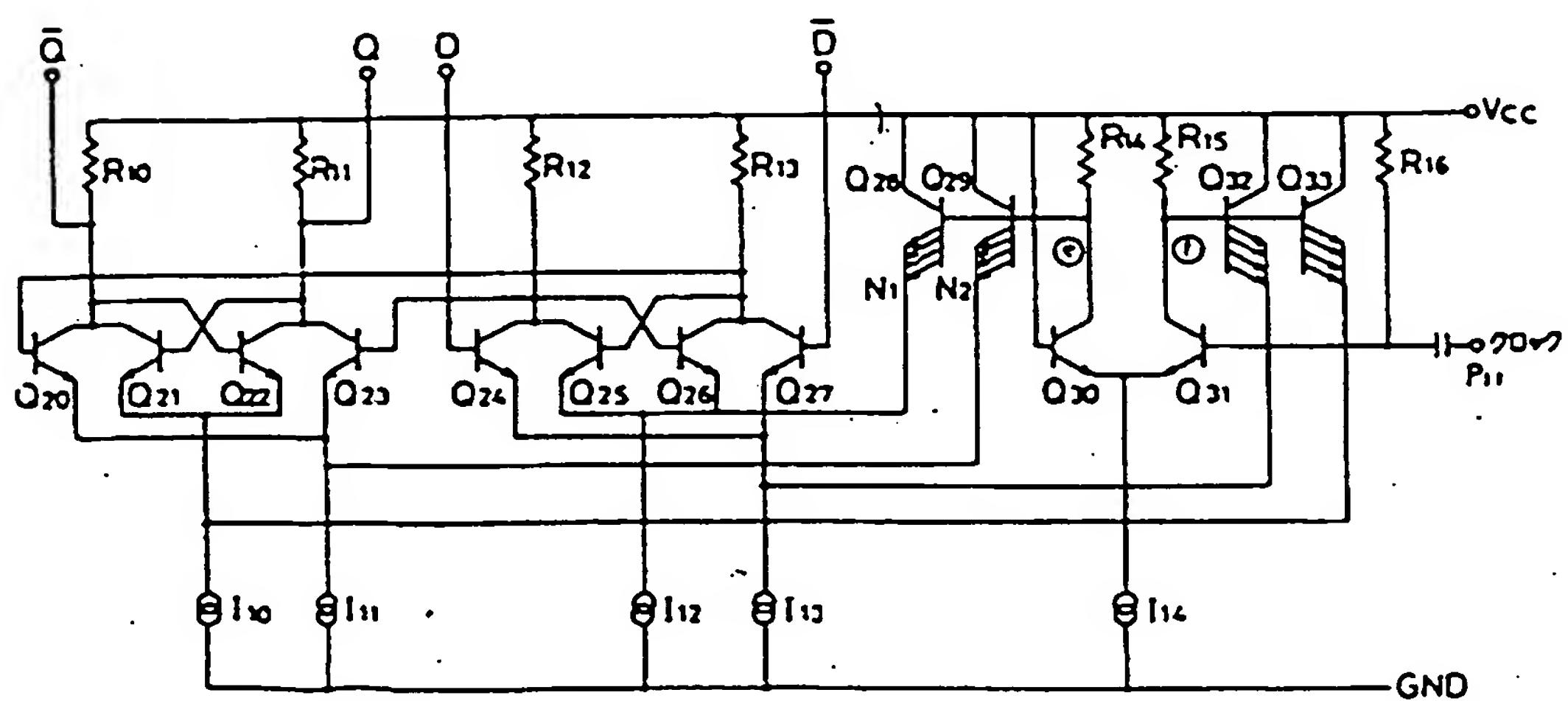
第3図



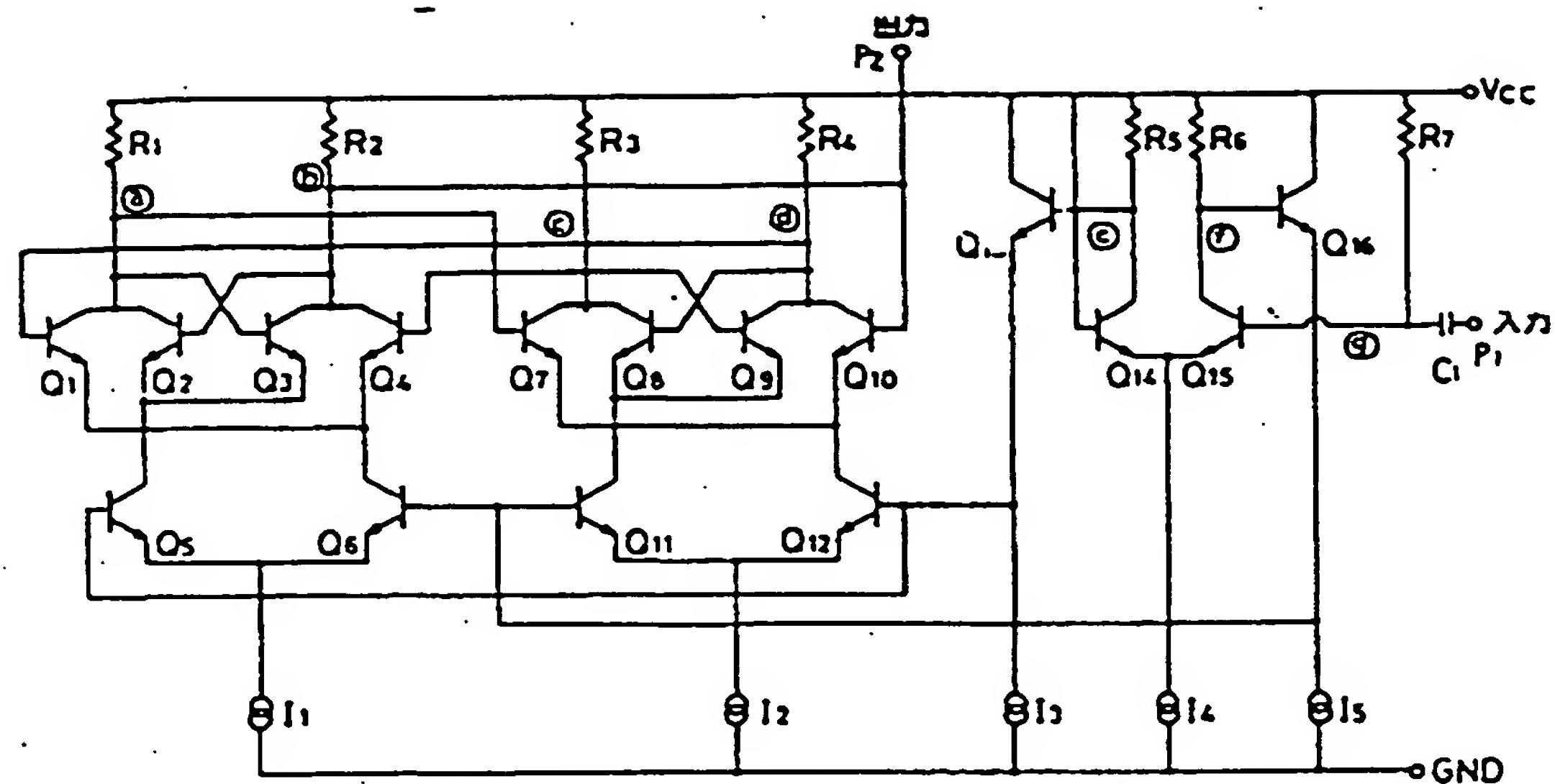
第4図



第5図



第6図



第7図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.